

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 7 月 3 0 日
Date of Application:

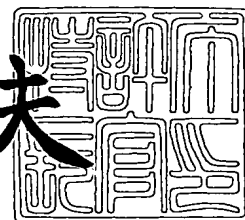
出 願 番 号 特 願 2 0 0 3 - 2 0 3 5 7 9
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 2 0 3 5 7 9]

出 願 人
Applicant(s): 株式会社日立製作所
 株式会社 日立ディスプレイズ

2 0 0 3 年 1 1 月 1 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 NT03P0452

【提出日】 平成15年 7月30日

【あて先】 特許庁長官 殿

【国際特許分類】 G09F 9/30

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 秋元 肇

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 佐藤 敏浩

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 景山 寛

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 502356528

【氏名又は名称】 株式会社日立ディスプレイズ

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 081423

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示装置

【特許請求の範囲】

【請求項 1】

表示信号電流に基づいて発光駆動される発光素子を有する画素と、
複数の前記画素により構成される表示部と、
前記画素に前記表示信号電流を書込むための信号線と、
前記信号線を介して前記表示信号電流を書込む画素を、複数の前記画素の中から選択するための書込み画素選択手段と、
前記表示信号電流を生成するための表示信号電流生成手段とを具備し、
前記書込み画素選択手段はN個の複数の画素を同時に選択する機能を有することを特徴とする画像表示装置。

【請求項 2】

請求項 1 記載の画像表示装置において、
前記書込み画素選択手段の同時に選択する画素の個数Nは、1 本の前記信号線に接続されている画素数の 2 以上、半分以下であることを特徴とする画像表示装置。

【請求項 3】

請求項 1 記載の画像表示装置において、
前記書込み画素選択手段は 1 フレーム期間内に各画素に対して前記表示信号電流の書込みをN回行い、前記選択された各画素はN回書き込まれた最終の 1 回の前記表示信号電流の電流値に基づいて点灯することを特徴とする画像表示装置。

【請求項 4】

請求項 3 記載の画像表示装置において、
前記各画素の点灯は、1 フレーム毎に前記N回の表示信号電流書込みが終了してから開始することを特徴とする画像表示装置。

【請求項 5】

請求項 4 記載の画像表示装置において、
前記点灯を開始し、停止する時間は、全画素が同一のタイミングであることを

特徴とする画像表示装置。

【請求項 6】

請求項 1 記載の画像表示装置において、

前記発光素子は、前記画素内に設けられた有機発光ダイオードであることを特徴とする画像表示装置。

【請求項 7】

請求項 1 記載の画像表示装置において、

前記発光素子を駆動する駆動回路は、多結晶 S i - T F T によって構成されていることを特徴とする画像表示装置。

【請求項 8】

請求項 7 記載の画像表示装置において、

前記多結晶 S i - T F T を構成する多結晶 S i は長軸方向を有するレーザ照射光をパルス状にスキャンすることによって多結晶化されたものであり、前記レーザ照射光の長軸方向は前記信号線の延長方向と略並行であることを特徴とする画像表示装置。

【請求項 9】

請求項 6 記載の画像表示装置において、

前記各画素は、

前記有機発光ダイオードの一端と第 1 ノード間に設けられた第 1 のスイッチ手段と、

前記第 1 ノードと前記信号線の間に設けられた第 2 のスイッチ手段と、

前記第 1 ノードと電源線間に設けられた前記有機発光ダイオードの駆動用 T F T と、

前記駆動用 T F T のゲートとドレイン間に設けられた第 3 のスイッチ手段と、

前記駆動用 T F T のゲートとソース間に設けられた容量手段とを有することを特徴とする画像表示装置。

【請求項 1 0】

請求項 9 記載の画像表示装置において、

前記有機発光ダイオードの一端はアノード電極であり、前記駆動用 T F T の導

電型は n チャンネルであることを特徴とする画像表示装置。

【請求項 1 1】

請求項 9 記載の画像表示装置において、

前記第 1 ～第 3 のスイッチ手段は、それぞれのゲート電極同士が共通に接続された T F T であり、前記第 1 のスイッチ手段を構成する T F T の導電型と、前記第 2 及び第 3 のスイッチ手段を構成する T F T の導電型とは逆極性であることを特徴とする画像表示装置。

【請求項 1 2】

表示信号電流に基づいて発光駆動される発光素子を有する画素と、
複数の前記画素により構成される表示部と、
前記画素に表示信号電流を書込むための信号線と、
前記信号線を介して前記表示信号電流を書込む画素を、複数の前記画素の中から選択するための書込み画素選択手段と、
前記表示信号電流を生成するための表示信号電流生成手段を具備し、
前記発光素子は前記画素内に設けられた有機発光ダイオードであり、
前記各画素は、
前記有機発光ダイオードのアノード電極と第 1 ノード間に設けられた第 1 のスイッチ手段と、
前記第 1 ノードと前記信号線の間に設けられた第 2 のスイッチ手段と、
前記第 1 ノードと電源線間に設けられた前記有機発光ダイオードの n 型チャンネルの駆動用 T F T と、
前記駆動用 T F T のゲートとドレイン間に設けられた第 3 のスイッチ手段と、
前記駆動用 T F T のゲートとソース間に設けられた容量手段とを有することを特徴とする画像表示装置。

【請求項 1 3】

表示信号電流に基づいて発光駆動される発光素子を有する画素と、
複数の前記画素により構成される表示部と、
前記画素に表示信号電流を書込むための信号線と、
前記信号線を介して前記表示信号電流を書込む画素を、複数の前記画素の中か

ら選択するための書込み画素選択手段と、

外部から取り込まれたデータを記憶する記憶手段と、

記憶された前記データを元に画像データ処理を行って前記表示信号電流を生成するための表示信号電流生成手段を具備し、

前記書込み画素選択手段はN個の複数の画素を同時に選択する機能をさらに有することを特徴とする画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は多画素化が容易な画像表示装置に係り、特に高精細化に好適な画像表示装置に関する。

【0002】

【従来の技術】

以下に、図9～図12を用いて、2つの従来の技術に関して説明する。

図9は、第1の従来例を示す発光表示デバイスの全体構成図である。表示領域200内には画素201がマトリクス状に設けられており、画素201には信号線202及びゲート線群203がそれぞれ接続されている。信号線202の一端は信号電流生成回路SGENに、ゲート線群203の一端は走査回路SCNに接続されている。実際には、画素201は表示領域200内に多数個設けられているが、図9には図面の簡略化のために1画素のみを記載してある。信号線202には寄生容量Csが存在する。なお、後述するように画素201には他にも電源線や共通接地電極が配線されているが、これらの記載は省略してある。またゲート線群203は、実際には複数本のゲート線群から構成されているが、ここでは簡略化して1本のみを図示してある。

【0003】

次に、図9に示した従来例の動作について述べる。走査回路SCNは、ゲート線群203を順次走査することにより、表示信号電流Isigを書込む画素行を選択する。これに同期して信号電流生成回路SGENは、信号線202に表示信号電流Isigを入力するので、選択された画素201には表示信号電流Isigが書込

まれる。

【0004】

図10を用いて、画素201の構造及び動作に関して説明する。

図10は画素201の回路構成図である。各画素201には、発光素子として有機EL (Organic Electro-luminescent) 素子210が設けられている。有機EL素子210のカソード端は、共通接地217に接続されている。また、アノード端は、駆動TF T (Thin-Film-Transistor) 211のチャネルと電源スイッチ215を介して電源線216に接続されている。駆動TF T 211のソース端子側は、更に書込みスイッチ214を介して信号線202に接続されている。駆動TF T 211のソース端子とゲート端子間には信号蓄積容量Csigが、ドレイン端子とゲート端子間にはリセットスイッチ212が設けられている。なお、電源スイッチ215、書込みスイッチ214、リセットスイッチ212は前述のゲート線群203によって走査される。

【0005】

次に、図10に示した画素の動作について述べる。画素201への表示信号電流I sigの書込み時には、ゲート線群203によって電源スイッチ215はオフ状態、書込みスイッチ214及びリセットスイッチ212はオン状態に設定される。このタイミングで信号線202に表示信号電流I sigが書込まれると、表示信号電流I sigは駆動TF T 211のチャネルを介して有機EL素子210に流れ込む。このとき駆動TF T 211のソース端子とゲート端子間には、書込まれている表示信号電流I sigの値に対応したゲート電圧差が生じる。ここで、次に書込みスイッチ214及びリセットスイッチ212がオフ状態に切り替わると、駆動TF T 211のソース端子とゲート端子間に生じていた、書込まれている表示信号電流I sigの値に対応したゲート電圧信号は、そのまま信号蓄積容量Csigに保持される。

【0006】

以上が書込み動作である。この後に、ゲート線群203によって電源スイッチ215がオン状態になると、駆動TF T 211のソース端子には電源線216より電圧が供給されるため、駆動TF T 211は信号蓄積容量Csigに保持されて

いるゲート電圧信号に対応した表示信号電流 I_{sig} を有機 EL 素子 210 に印加する。これによって引き続く表示期間の間、有機 EL 素子 210 は所定の輝度で点灯し続ける。

このような従来技術に関しては、例えば、非特許文献 1 等に詳しく記載されている。

【0007】

しかし、この第 1 の従来例には選択された画素への信号電流の書込みに時間がかかりすぎ、発光表示デバイスの多画素化に対応できないという課題があった。

一般に、一画素内の有機 EL 素子の駆動に用いられる信号電流は 500 nA 以下であり、例えば 50 階調の表示精度を仮定すれば、最小値で 10 nA の信号電流の書込みが必要になる。ところが信号線の寄生容量 C_s は一般に 10 pF 以上であり、例えば 100 mV の信号シフトを 10 nA の信号電流で書込むためには、時定数は $100\text{ }\mu\text{s}$ にもなってしまう。書込みに時定数の 3 倍の時間を仮定すれば、1 行の画素の書込みに $300\text{ }\mu\text{s}$ 必要になるため、 60 フレーム/秒の動画表示を仮定すればリアルタイムで書込める最大画素行数は 56 行にしかない。

【0008】

このような問題点を解決するために提案されたのが、図 11 及び図 12 を用いて説明する第 2 の従来例である。

図 11 は、第 2 の従来例を示す発光表示デバイスの全体構成図である。この従来例の構成及び動作は、先に図 9 を用いて説明した第 1 の従来例の構成及び動作とほぼ同一であるので、同様の構成部分には同じ参照符号を付して再度の説明は省略する。すなわち第 2 の従来例では、信号電流生成回路 $SGEN$ は信号線 202 に対して $I_{sig} \times K$ 倍の信号電流を書込む点が、第 1 の従来例と相違する。ここで、信号電流 I_{sig} は、前述のように有機 EL 素子 210 を駆動する表示信号電流の値である。

【0009】

図 12 を用いて、画素 201A の構造及び動作に関して説明する。

図 12 は画素 201A の回路構成図である。各画素 201A には、発光素子と

して有機EL素子210が設けられている。有機EL素子210のカソード端は共通接地217に接続され、アノード端は駆動TF T 211のチャネルを介して電源線216に接続されている。駆動TF T 211のソース端子及びゲート端子は、それぞれ書込みTF T 228のソース端子及びゲート端子に接続されている。また、駆動TF T 211のソース端子とゲート端子間には信号蓄積容量 C_{sig} が、書込みTF T 228のドレイン端子とゲート端子間にはリセットスイッチ222が設けられており、書込みTF T 228のドレイン端子は書込みスイッチ224を介して信号線202に接続されている。なお、書込みスイッチ224とリセットスイッチ222は、ゲート線群203によって走査される。

【0010】

第2の従来例において留意すべき点は、駆動TF T 211と書込みTF T 228とは互いにソース端子とゲート端子が共通接続された、所謂ペアトランジスタ構成になっていることと、駆動TF T 211と比較して書込みTF T 228の W/L （ゲート幅／ゲート長）比率が K 倍に設計されていることである。

【0011】

次に、図12に示した画素の動作について述べる。画素201Aへの表示信号電流 $I_{sig} \times K$ の書込み時には、ゲート線群203によって書込みスイッチ224及びリセットスイッチ222はオン状態に設定される。このタイミングで信号線202に表示信号電流 $I_{sig} \times K$ が書込まれると、表示信号電流 $I_{sig} \times K$ は電源線216から書込みTF T 228のチャネルを介して信号線202に流れ込む。このとき、書込みTF T 228のソース端子とゲート端子間には、書込まれている表示信号電流 $I_{sig} \times K$ の値に対応したゲート電圧差が生じるが、同時に駆動TF T 211のソース端子とゲート端子間には、書込まれている表示信号電流 I_{sig} の値に対応したゲート電圧差が生じる。

【0012】

駆動TF T 211に生じる信号電流 I_{sig} の値が書込みTF T 228に生じる信号電流値の $1/K$ であるのは、前述のように駆動TF T 211と比較して書込みTF T 228の W/L （ゲート幅／ゲート長）比率が K 倍に設計されているためである。

【0013】

ここで、次に書込みスイッチ224及びリセットスイッチ222がオフ状態に切り替わると、書込みTFT228のソース端子とゲート端子間に生じていた、書込まれている表示信号電流 $I_{sig} \times K$ の値に対応したゲート電圧信号は、そのまま信号蓄積容量 C_{sig} に保持される。このとき駆動TFT211は、信号蓄積容量 C_{sig} に保持されているゲート電圧信号に対応して、表示信号電流 I_{sig} を有機EL素子210に印加する。これによって引き続く表示期間の間、有機EL素子210は所定の輝度で点灯し続ける。

このような従来技術に関しては、例えば、非特許文献2等に詳しく記載されている。

【0014】

【非特許文献1】

Digest of Technical papers, IEDM 98, pp.875-878

【非特許文献2】

Digest of Technical papers, SID 01, pp.384-387

【0015】

【発明が解決しようとする課題】

前述した第2の従来例を用いれば、信号電流の値をK倍に増加させることができ、上記書込み時定数を $1/K$ 倍に短縮することができる。しかしながら第2の従来例においては、画素内に W/L 寸法の大きな書込みTFTを設ける必要があり、画素の高精細化には不向きである。例えば、書込みTFTの W/L 寸法は駆動TFTに比較して一桁大きく設計する必要がある。書込みTFTと駆動TFTはペアトランジスタであるため、ゲート長 L は基本的に揃えておく必要がある。このため、書込みTFTのゲート幅 W は、駆動TFTのゲート幅 W よりも一桁も大きいものになってしまう。これによって画素の縮小が困難になり、高精細発光表示デバイスの実現は困難であった。

【0016】

更に、上記の2つの従来例では、画素を n チャネルトランジスタのみで構成することが困難であり、 p チャネルトランジスタの採用によるコスト上昇を招くと

いう問題点があった。S i - T F T は n チャンネルトランジスタの方が p チャンネルトランジスタよりも電流駆動能力が高いため、n チャンネルトランジスタ回路の方がより小面積で実現することができ、歩留りまで考慮した製造コストを低減することができる。しかしながら、一般に有機 E L 素子はカソード電極が共通接地になってしまうため、p チャンネルトランジスタで駆動しないとトランジスタ利得を取ることができない。言い換えると、n チャンネルトランジスタを駆動 T F T に用いた場合には、ソース側に有機 E L 素子が負荷として入ってしまうために、有機 E L 素子を電流駆動できなくなってしまうのである。

【 0 0 1 7 】

そこで、本発明の目的は、多画素化と高精細化を両立させることができる画像表示装置を提供することにある。

また、本発明の他の目的は、歩留まりまで考慮した製造コストの低減を図るために、n チャンネルトランジスタで画素を構成した画像表示装置を提供することである。

【 0 0 1 8 】

【課題を解決するための手段】

上記多画素化と高精細化を両立させる課題は、表示信号電流に基づいて発光駆動される発光素子を有する画素と、複数の画素により構成される表示部と、前記画素に表示信号電流を書込むための信号線と、この信号線を介して複数の画素の中から表示信号電流を書込む画素を選択するための書込み画素選択手段と、表示信号電流を生成するための表示信号電流生成手段とを具備し、前記書込み画素選択手段が、N 個の複数の画素を同時に選択する機能をさらに有することによって解決することができる。

【 0 0 1 9 】

また、画素を n チャンネルトランジスタで構成するという別の上記の課題は、表示信号電流に基づいて発光駆動される有機発光ダイオードを有する画素と、複数の画素により構成される表示部と、前記画素に表示信号電流を書込むための信号線と、この信号線を介して複数の画素の中から表示信号電流を書込む画素を選択するための書込み画素選択手段と、表示信号電流を生成するための表示信号電流

生成手段とを具備し、前記有機発光ダイオードのアノード電極は第1のスイッチ手段を介して第1ノードに接続され、前記第1ノードは第2のスイッチ手段を介して前記信号線に接続され、更に第1の接点は有機発光ダイオード駆動用nチャネルTFTのチャネルを介して電源線に接続され、前記有機発光ダイオード駆動用nチャネルTFTは、ゲートとドレイン間に第3のスイッチ手段が設けられ、ゲートとソース間に容量手段が設けられた構成とすることによって解決することができる。

【0020】

このように、nチャネルトランジスタで画素回路を構成すると、nチャネルトランジスタ回路の方がより小面積で実現することができ、欠陥の入る確率が減るために歩留まり良く画像表示装置を製造できる。

【0021】

【発明の実施の形態】

以下、本発明に係る画像表示装置の好適な実施形態につき、添付図面を参照しながら詳細に説明する。

【0022】

<実施形態1>

図1～図4を用いて、本発明の第1の実施形態に関して説明する。

始めに図1を用いて、本実施形態の全体構成およびその動作に関して述べる。

【0023】

図1は、本実施形態の有機発光ダイオード（OLED：Organic Light Emitting Diode）表示パネルの全体構成図である。表示領域70内には画素71がマトリクス状に設けられており、画素71には信号線2及びゲート線群3がそれぞれ接続されている。信号線2の一端は信号電流生成回路SGENに、ゲート線群3の一端はN個の複数の画素を同時に選択するN画素同時選択回路MSELを介して走査回路SCNに接続されている。実際には画素71は表示領域70内に多数個設けられているが、図面の簡略化のために図1には3画素のみを記載してある。信号線2には寄生容量Csが存在する。なお、後述するように画素71には他にも電源線や共通接地電極が配線されているが、これらの記載は省略してある。

またゲート線群 3 は実際には複数本のゲート線群から構成されているが、ここでは簡略化して各 1 本のみを図示してある。

【0024】

信号電流生成回路 SGEN は、デジタル・アナログ (DA) 変換器と定電流源回路を用いて従来からよく知られている LSI (Large Scale Integrated circuit) 技術で実現されており、ガラス基板上に実装されている。また走査回路 SCN や N 画素同時選択回路 MSEL は、既知のシフトレジスタ回路と適当な論理回路を多結晶 Si-TFT 技術を用いてガラス基板上に実現されている。

【0025】

図 1 に示した本実施形態の表示パネルの動作について述べる。走査回路 SCN はゲート線群 3 を順次走査する。ここで、走査回路 SCN が 1 本のゲート線群 3 を選択すると、N 画素同時選択回路 MSEL はこれを受けて、連続する N 本のゲート線群 3 を選択することにより、表示信号電流を書込む N 個の画素行を選択する。ここでは、同時に選択される画素の行数を N と置く。これに同期して信号電流生成回路 SGEN は、信号線 2 に表示信号電流 $I_{sig} \times N$ を入力するので、選択された各画素 71 は、それぞれ平均的には表示信号電流 I_{sig} が書込まれる。なお、ここで信号電流生成回路 SGEN から出力される信号電流 $I_{sig} \times N$ の向きは、図 11 に示した第 2 の従来例と同様に画素から出る方向である。

【0026】

続いて図 2 を用い、画素 71 の構造及び動作に関して説明する。

図 2 は画素 71 の回路構成図である。各画素 71 には発光素子として有機 EL 素子 10 が設けられており、有機 EL 素子 10 のカソード端は共通接地 17 に接続されている。またアノード端は、点灯スイッチ 18 と駆動 TFT 11 のチャンネルとを介して電源線 16 に接続されている。駆動 TFT 11 のドレイン端子側は更に書込みスイッチ 14 を介して信号線 2 に接続されている。また、駆動 TFT 11 のソース端子とゲート端子間には信号蓄積容量 C_{sig} が、ドレイン端子とゲート端子間にはリセットスイッチ 12 が設けられている。

【0027】

すなわち、有機 EL 素子 10 のアノードはスイッチ 18 を介してノード n1 に

接続され、ノード $n1$ はスイッチ 14 を介して信号線 2 に接続され、さらにノード $n1$ はゲートソース間に信号蓄積容量 C_{sig} を有する駆動 TFT のチャネルを介して電源線 16 に接続された構成である。

【0028】

ここで点灯スイッチ 18、書込みスイッチ 14、リセットスイッチ 12 は前述のゲート線群 3 によって走査される。上記駆動 TFT 11 及び点灯スイッチ 18、書込みスイッチ 14、リセットスイッチ 12 は、多結晶 Si-TFT を用いてガラス基板上に構成されている。多結晶 Si-TFT や有機 EL 素子 10 の製造方法などに関しては、一般に報告されているものと大きな相違はないため、ここではその説明は省略する。

【0029】

次に、画素の動作について述べる。画素 71 への表示信号電流 I_{sig} の書込み時には、ゲート線群 3 によって書込みスイッチ 14 及びリセットスイッチ 12 はオン状態に設定される。このタイミングで信号線 2 に表示信号電流 $I_{sig} \times N$ が書込まれると、表示信号電流 $I_{sig} \times N$ は選択された N 個の画素からそれぞれの平均電流 I_{sig} が加算されることにより生成される。

【0030】

従って、1 個の画素に着目すれば、駆動 TFT 11 のチャネルには電源線 16 から表示信号電流 I_{sig} が流れ込む。このとき駆動 TFT 11 のソース端子とゲート端子間には、書込まれている表示信号電流 I_{sig} の値に対応したゲート電圧差が生じる。ここで、書込みスイッチ 14 及びリセットスイッチ 12 がオフ状態に切り替わると、駆動 TFT 11 のソース端子とゲート端子間に生じていた、書込まれている表示信号電流 I_{sig} の値に対応したゲート電圧信号は、そのまま信号蓄積容量 C_{sig} に保持される。

【0031】

以上が書込み動作である。この後に、ゲート線群 3 によって点灯スイッチ 18 がオン状態になると、駆動 TFT 11 のドレイン端子には有機 EL 素子 10 が接続されるため、駆動 TFT 11 は信号蓄積容量 C_{sig} に保持されているゲート電圧信号に対応した表示信号電流 I_{sig} が電源線 16 から有機 EL 素子 10 に印加

される。これによって引き続く表示期間の間、有機EL素子10は所定の輝度で点灯し続ける。

【0032】

次に、書込みスイッチ14、リセットスイッチ12及び点灯スイッチ18の駆動シーケンスを、列方向に隣接する近傍の画素間の動作を比較しつつ説明する。

図3は、書込みスイッチ14、リセットスイッチ12及び点灯スイッチ18の駆動タイミングチャートであり、横軸に時間を取り、縦軸に任意のI行目から(I+4)行目までの5行分の画素の各スイッチの動作と信号線2の動作タイミングを示している。図中にも記載したように、N画素同時選択回路MSELにより選択される画素の行数Nが、N=3の場合である。また、各スイッチがオン、オフ状態であることを、タイミングチャートにはそれぞれ波形の上、下として示してある。

【0033】

また、本実施形態では、同時に選択される画素の行数Nを3としたが、Nは2以上で行方向の画素数以下の任意の数を取り得る。しかし実際には、後述のように点灯スイッチ18を、ある程度の期間オンすることによって輝度を確保する必要があるため、Nは行方向の画素数の半分以下であることが望ましい。

【0034】

以下、図3に示したt1からt11までの各タイミングを追って、各スイッチの動作を説明する。

タイミングt1において、走査回路SCNによってI行目から(I+2)行目までの3行分の画素の書込みスイッチ14、リセットスイッチ12がオン状態になると、信号電流生成回路SGENは信号線2にN倍の表示信号電流 $I_{sig} \times N$ を入力する。なお、ここで表示信号電流 I_{sig} は、I行目の画素に入力すべきデータである。

【0035】

続いてタイミングt2に、I行目から(I+2)行目までの3行分の画素の書込みスイッチ14、リセットスイッチ12がオフ状態になると、I行目から(I+2)行目までの3行分の画素には、上記のI行目の画素に入力すべき表示信号

電流 I_{sig} が記憶される。

【0036】

タイミング t_2 と t_3 の間では、 I 行目の画素の点灯スイッチ 18 がオンになり I 行目の画素の点灯が開始され、同時に、これから書込み動作が始まる ($I+3$) 行目の画素の点灯スイッチ 18 がオフ状態になる。以上で、 I 行目の画素に対する表示信号電流 I_{sig} の書込みが完了する。

【0037】

次にタイミング t_3 において、走査回路 SCN により ($I+1$) 行目から ($I+3$) 行目までの 3 行分の画素の書込みスイッチ 14、リセットスイッチ 12 がオン状態になると、信号電流生成回路 $SGEN$ は信号線 2 に N 倍の表示信号電流 $I_{sig} \times N$ を入力する。なおここで表示信号電流 I_{sig} は、($I+1$) 行目の画素に入力すべきデータである。

【0038】

続いてタイミング t_4 に、($I+1$) 行目から ($I+3$) 行目までの 3 行分の画素の書込みスイッチ 14、リセットスイッチ 12 がオフ状態になると、($I+1$) 行目から ($I+3$) 行目までの 3 行分の画素には、上記の ($I+1$) 行目の画素に入力すべき表示信号電流 I_{sig} が記憶される。

【0039】

タイミング t_4 と t_5 の間では、($I+1$) 行目の画素の点灯スイッチ 18 がオンになり ($I+1$) 行目の画素の点灯が開始され、同時に、これから書込み動作が始まる ($I+4$) 行目の画素の点灯スイッチ 18 がオフになる。以上で ($I+1$) 行目の画素に対する表示信号電流 I_{sig} の書込みが完了する。

【0040】

次にタイミング t_5 において、 N 画素同時選択回路 $MSEL$ を介して走査回路 SCN により ($I+2$) 行目から ($I+4$) 行目までの 3 行分の画素の書込みスイッチ 14、リセットスイッチ 12 がオン状態になると、信号電流生成回路 $SGEN$ は信号線 2 に N 倍の表示信号電流 $I_{sig} \times N$ を入力する。なおここで表示信号電流 I_{sig} は、($I+2$) 行目の画素に入力すべきデータである。

【0041】

続いてタイミング t_6 に、 $(I+2)$ 行目から $(I+4)$ 行目までの 3 行分の画素の書込みスイッチ 14、リセットスイッチ 12 がオフ状態になると、 $(I+2)$ 行目から $(I+4)$ 行目までの 3 行分の画素には、上記の $(I+2)$ 行目の画素に入力すべき表示信号電流 I_{sig} が記憶される。

【0042】

タイミング t_6 と t_7 の間では、 $(I+2)$ 行目の画素の点灯スイッチ 18 がオンになり $(I+2)$ 行目の画素の点灯が開始され、同時に、これから書込み動作が始まる $(I+5)$ 行目の画素の点灯スイッチ 18 がオフになる。以上で $(I+2)$ 行目の画素に対する表示信号電流 I_{sig} の書込みが完了する。

【0043】

以上のように、タイミング t_8 から t_9 では $(I+3)$ 行目の画素に対する表示信号電流 I_{sig} の書込みが行われ、タイミング t_{10} から t_{11} では $(I+4)$ 行目の画素に対する表示信号電流 I_{sig} の書込みが行われる。このように本実施形態では、1 フレーム期間内に各画素に対して N 回の表示信号電流 I_{sig} の書込みが行われるが、画素は N 回書込まれた最終の 1 回の表示信号電流 I_{sig} の値に基づいて点灯していることに注意が必要である。

以下、タイミング t_{11} 以降も同様に、書込みと点灯開始が続けられる。なお画素行の最後の方では、再び 1 行目の画素の走査が開始されるため、結果的には常に N 個の画素に対する表示信号電流の書込みが実行される。

【0044】

上記のように本実施形態では、同時に選択される画素の行数 N を 3 に固定したが、 N は任意に可変とすることも可能である。

【0045】

また、本実施形態では書込みの完了した画素行から順に点灯スイッチ 18 をオンさせているが、点灯スイッチ 18 は全画素への書込みが完了した時点で一括してオンさせることも可能である。この場合は、画素が点灯していない時間を長くすることで、動解像度の向上を図ることができる。このような点灯スイッチ 18 の駆動方法を、表示する画像の種類やユーザの選択によって切り替えるようにしてもよい。

【0046】

本実施形態を用いれば、信号電流の値をN倍に増加させることができ、寄生容量 C_s が信号線2に存在しても、信号線への書込み時定数を $1/N$ 倍に短縮することができる。なおかつ、本実施形態においては、画素内に第2の従来例のような寸法の大きなTF Tを特に設ける必要もなく、画素の高精細化を図ることが容易である。

【0047】

なお本発明において、各画素に書込まれる表示信号電流 I_{sig} は、書込むN個の画素に均等に配分されることが望ましい。このため、書込むN個の画素の駆動TF T 1 1の特性を、あまり異ならないように作製する必要がある。以下にそのためのTF T作製技術について説明する。

【0048】

前述のように駆動TF T 1 1は、多結晶Si-TF T技術を用いてガラス基板上に設けられている。この多結晶Si-TF T技術は、既に多数の文献にも開示されているように、ガラス基板上に形成されたアモルファスSi薄膜に対して、概略長方形に整形されたレーザ照射を施すことによってこれを多結晶Si-TF T薄膜に結晶化させる。この多結晶Si-TF T薄膜をチャネル層に用いて、TF Tを作製する技術である。ところでこのようにして作成された個々の多結晶Si-TF T間には、多結晶化時に用いるレーザ照射エネルギーのゆらぎに起因する特性ばらつきが生じてしまう。しかしながら本実施形態においては、上記のように書込むN個の画素の駆動TF T 1 1の特性をあまり異ならないように作製したいという要請がある。そこで、以下に示すTF T作製技術を用いた。

【0049】

図4は、ガラス基板上に形成されたアモルファスSi薄膜に対して、概略長方形に整形されたレーザ照射を施すことによってこれを多結晶Si-TF T薄膜に結晶化する際の様子を模式的に表したものである。レーザ照射工程はTF Tのチャネル層の作成工程であるから、実際のレーザ照射工程においては、いまだ表示領域70、画素71、信号線2、ゲート線群3、信号電流生成回路SGEN、走査回路SCNなどは形成されていないため、図中に示したこれらの構造は、これ

から形成される予定のものである。

【0050】

ここで、図4内には予めアモルファスSi薄膜が形成されており、照射される概略長方形のレーザ形状21は、その長辺が信号線2と並行に規定されている。このような形状にレーザビームを照射すると、レーザ照射エネルギーは時間軸ではばらつくが、ある瞬間におけるレーザ照射エネルギーには殆ど面内でのばらつきはないため、同一の信号線2に接続されたN個の画素の駆動TF T11の特性ばらつきを低減することができる。

【0051】

以上に述べた本実施形態においては、本発明の主旨を損なわない範囲でいくつもの変更が可能である。例えば、本実施形態ではTF T基板としてガラス基板を用いたが、これを石英基板や透明プラスチック基板等の他の透明絶縁基板に変更することも可能である。また、有機EL素子10の発光を基板上面に取り出すようにすれば、不透明基板を用いることも可能である。

【0052】

また、本実施形態の説明において、画素数やパネルサイズ等に関しては敢えて言及していない。これは、本発明が特にこれらのスペックないしフォーマットに制限されるものではないためである。

【0053】

また本実施形態では、信号電流生成回路SGENはDA変換器と定電流源回路を用いてLSI技術で実現してガラス基板上に実装し、また走査回路SCNやN画素同時選択回路MSEL、画素71は低温多結晶Si-TFT回路で構成している。しかしながら、信号電流生成回路SGENを低温多結晶Si-TFT回路で構成することや、逆に走査回路SCNやN画素同時選択回路MSEL、あるいはその一部分を単結晶LSI回路で構成して実装することも本発明の範囲内で可能である。

【0054】

本実施形態では、発光デバイスとして有機EL素子10を用いたが、これに代えてその他の無機を含む電流駆動が可能な様々な発光素子を用いても、本発明を

実現することが可能であることは明らかである。

【0055】

以上の種々の変更等は、本実施形態に限らず以下のその他の実施形態においても、基本的に同様に適用可能である。

【0056】

<実施形態2>

以下図5、図6を用いて、本発明の第2の実施形態に関して説明する。

本実施形態の全体構成およびその動作は、既に述べた第1の実施形態の全体構成および動作と同様であるので、同様の構成部分には同じ参照符号を付してその詳細な説明をここでは省略する。

【0057】

本実施形態は、その画素構造とその動作が第1の実施形態と相違する。以下、図5を用いて画素71Aの構造及び動作に関して説明する。

【0058】

図5は画素71Bの回路構成図である。各画素71Aには発光素子として有機EL素子10が設けられている。有機EL素子10のカソード端は共通接地17に接続され、アノード端は点灯スイッチ48と駆動TF T11のチャネルとを介して電源線16に接続されている。駆動TF T11のドレイン端子側は、書込みスイッチ44を介して信号線2に接続されている。駆動TF T11のソース端子とゲート端子間には信号蓄積容量Csigが、駆動TF T11のドレイン端子とゲート端子間にはリセットスイッチ42が設けられている。

【0059】

ここで点灯スイッチ48、書込みスイッチ44、リセットスイッチ42は、ゲート線3Aによって走査される。なお、上記駆動TF T11及び点灯スイッチ48、書込みスイッチ44、リセットスイッチ42は、多結晶Si-TFTを用いてガラス基板上に形成されている。点灯スイッチ48は図示のようにpチャネルトランジスタ、書込みスイッチ44及びリセットスイッチ42はそれぞれnチャネルトランジスタで構成され、かつ点灯スイッチ48、書込みスイッチ44、リセットスイッチ42のゲート電極は互いに接続されてゲート線3Aに繋がっている。

る。ここでゲート線 3 A は、各画素行毎に 1 本ずつ設けられた配線である。

【0060】

次に、図 5 に示した画素の動作について述べる。画素 7 1 A への表示信号電流 I_{sig} の書込み時には、ゲート線 3 A が高電圧レベルに設定されると（以下便宜上、この状態をゲート線 3 A がオンの状態と称することにする）、書込みスイッチ 4 4 及びリセットスイッチ 4 2 はオン状態に、点灯スイッチ 4 8 はオフ状態に設定される。このタイミングで、信号線 2 に表示信号電流 $I_{sig} \times N$ が書込まれると、表示信号電流 $I_{sig} \times N$ は選択された N 個の画素からそれぞれの平均電流 I_{sig} が加算されることにより生成される。

【0061】

従って、1 個の画素に着目すれば、駆動 T F T 1 1 のチャンネルには電源線 1 6 から表示信号電流 I_{sig} が流れ込む。このとき駆動 T F T 1 1 のソース端子とゲート端子間には、書込まれている表示信号電流 I_{sig} の値に対応したゲート電圧差が生じる。

【0062】

ここで、次にゲート線 3 A が低電圧レベルに設定されると（以下便宜上、この状態をゲート線 3 A がオフの状態と称することにする）、書込みスイッチ 4 4 及びリセットスイッチ 4 2 はオフ状態に、点灯スイッチ 4 8 はオン状態に切り替わる。このとき駆動 T F T 1 1 のソース端子とゲート端子間に生じていた、書込まれている表示信号電流 I_{sig} の値に対応したゲート電圧信号は、そのまま信号蓄積容量 C_{sig} に保持される。以上が書込み動作である。

【0063】

これと同時に、駆動 T F T 1 1 のドレイン端子には有機 E L 素子 1 0 が接続されるため、駆動 T F T 1 1 は信号蓄積容量 C_{sig} に保持されているゲート電圧信号に対応した表示信号電流 I_{sig} を、電源線 1 6 から有機 E L 素子 1 0 に印加する。これによって引き続く表示期間の間、有機 E L 素子 1 0 は所定の輝度で点灯し続ける。

【0064】

次に、書込みスイッチ 4 4、リセットスイッチ 4 2 及び点灯スイッチ 4 8 を制

御するゲート線 3 A の駆動シーケンスを、列方向に隣接する近傍の画素間の動作を比較しつつ説明する。

【 0 0 6 5 】

図 6 は、書込みスイッチ 4 4、リセットスイッチ 4 2 及び点灯スイッチ 4 8 を制御するゲート線 3 A の駆動タイミングチャートであり、横軸に時間を取り、縦軸に任意の I 行目から $(I + 4)$ 行目までの 5 行分の画素のゲート線 3 A と信号線 2 の動作タイミングを示したものである。なお前述のように、ゲート線 3 A が高電圧レベルに設定される状態をゲート線 3 A がオン、ゲート線 3 A が低電圧レベルに設定される状態をゲート線 3 A がオフの状態とし、図中にはそれぞれ波形の上、下として示してある。また、本実施形態でも同時に選択される画素の行数 N を 3 としたが、本発明では、 N は 2 以上で行方向の画素数以下の任意の数を取り得ることは明らかである。

【 0 0 6 6 】

以下、図 6 に記載した t_1 から t_{11} までの各タイミングを追って、各スイッチの動作を説明する。タイミング t_1 において、走査回路 SCN （図示せず）によって I 行目から $(I + 2)$ 行目までの 3 行分のゲート線 3 A がオン状態になると、信号電流生成回路 $SGEN$ （図示せず）は、信号線 2 に N 倍の表示信号電流 $I_{sig} \times N$ を入力する。なお、ここで表示信号電流 I_{sig} は、 I 行目の画素に入力すべきデータである。

【 0 0 6 7 】

続いてタイミング t_2 に、 I 行目から $(I + 2)$ 行目までのゲート線 3 A がオフ状態になると、 I 行目から $(I + 2)$ 行目までの 3 行分の画素には、上記の I 行目の画素に入力すべき表示信号電流 I_{sig} が記憶されると同時に点灯スイッチ 4 8 がオンになり、点灯が開始される。以上で I 行目の画素に対する表示信号電流 I_{sig} の書込みが完了する。

【 0 0 6 8 】

タイミング t_3 において、走査回路 SCN によって $(I + 1)$ 行目から $(I + 3)$ 行目までの 3 行分のゲート線 3 A がオン状態になると、信号電流生成回路 $SGEN$ は信号線 2 に N 倍の表示信号電流 $I_{sig} \times N$ を入力する。なお、ここで表

示信号電流 I_{sig} は $(I + 1)$ 行目の画素に入力すべきデータである。

【0069】

続いてタイミング t_4 において、 $(I + 1)$ 行目から $(I + 3)$ 行目までのゲート線 3A がオフ状態になると、 $(I + 1)$ 行目から $(I + 3)$ 行目までの 3 行分の画素には、上記の $(I + 1)$ 行目の画素に入力すべき表示信号電流 I_{sig} が記憶されると同時に点灯スイッチ 48 がオンになり、点灯が開始される。以上で $(I + 1)$ 行目の画素に対する表示信号電流 I_{sig} の書込みが完了する。

【0070】

タイミング t_5 において、走査回路 SCAN によって $(I + 2)$ 行目から $(I + 4)$ 行目までの 3 行分のゲート線 3A がオン状態になると、信号電流生成回路 SGEN は信号線 2 に N 倍の表示信号電流 $I_{sig} \times N$ を入力する。なお、ここで表示信号電流 I_{sig} は $(I + 2)$ 行目の画素に入力すべきデータである。

【0071】

続いてタイミング t_6 に $(I + 2)$ 行目から $(I + 4)$ 行目までのゲート線 3B がオフ状態になると、 $(I + 2)$ 行目から $(I + 4)$ 行目までの 3 行分の画素には、上記の $(I + 2)$ 行目の画素に入力すべき表示信号電流 I_{sig} が記憶されると同時に点灯スイッチ 48 がオンになり、点灯が開始される。以上で $(I + 2)$ 行目の画素に対する表示信号電流 I_{sig} の書込みが完了する。

【0072】

以上のように、タイミング t_7 から t_8 では $(I + 3)$ 行目の画素に対する表示信号電流 I_{sig} の書込みが、タイミング t_9 から t_{10} では $(I + 4)$ 行目の画素に対する表示信号電流 I_{sig} の書込みが行われる。

【0073】

以下、タイミング t_{11} 以降も同様に書込みと点灯開始が続けられる。なお、画素行の最後の方では、再び 1 行目の画素の走査が開始されるため、結果的には常に N 個の画素に対する表示信号電流の書込みが実行される。

【0074】

上記のように、本実施形態では同時に選択される画素の行数 N を 3 に固定したが、 N は任意に変更可とも可能である。

【0075】

<実施形態3>

図7を用いて、本発明の第3の実施形態に関して説明する。

本実施形態の全体構成およびその動作は、既に述べた第1の実施形態の全体構成および動作と同様であるので、同様の構成部分には同じ参照符号を付してその詳細な説明をここでは省略する。

【0076】

本実施形態は、その画素構造とその動作が第1の実施形態と相違する。以下、図7を用いて画素71Bの構造及び動作に関して説明する。

【0077】

図7は画素71Bの回路構成図である。各画素71Bには発光素子として有機EL素子10が設けられている。有機EL素子10のカソード端は共通接地17に接続され、アノード端は点灯スイッチ18と駆動TF T 13のチャンネルとを介して電源線16に接続されている。駆動TF T 13のソース端子側は、書込みスイッチ14を介して信号線2に接続されている。駆動TF T 13のソース端子とゲート端子間には信号蓄積容量Csigが、駆動TF T 13のドレイン端子とゲート端子間にはリセットスイッチ61が設けられている。なお、ここで点灯スイッチ18、書込みスイッチ14、リセットスイッチ61は、ゲート線群3によって走査される。上記駆動TF T 11及び点灯スイッチ18、書込みスイッチ14、リセットスイッチ61は、多結晶Si-TFTを用いてガラス基板上に構成されている。

【0078】

次に、図7に示した画素の動作について述べる。画素71Bへの表示信号電流I sigの書込み時には、ゲート線群3によって書込みスイッチ14及びリセットスイッチ61はオン状態に設定される。このタイミングで信号線2に表示信号電流I sig×Nが書込まれると、表示信号電流I sig×Nは選択されたN個の画素からそれぞれの平均電流I sigが加算されることにより生成される。

【0079】

従って1個の画素に着目すれば、駆動TF T 13のチャンネルには電源線16か

ら表示信号電流 I_{sig} が流れ込む。このとき駆動 T F T 13 のソース端子とゲート端子間には、書込まれている表示信号電流 I_{sig} の値に対応したゲート電圧差が生じる。ここで、書込みスイッチ 14 及びリセットスイッチ 61 がオフ状態に切り替わると、駆動 T F T 13 のソース端子とゲート端子間に生じていた、書込まれている表示信号電流 I_{sig} の値に対応したゲート電圧信号は、そのまま信号蓄積容量 C_{sig} に保持される。

【0080】

以上が書込み動作である。この後に、ゲート線群 3 によって点灯スイッチ 18 がオン状態になると、駆動 T F T 13 のソース端子には有機 E L 素子 10 が接続されるため、駆動 T F T 13 は信号蓄積容量 C_{sig} に保持されているゲート電圧信号に対応した表示信号電流 I_{sig} を電源線 16 から有機 E L 素子 10 に印加する。これによって引き続く表示期間の間、有機 E L 素子 10 は所定の輝度で点灯し続ける。

【0081】

本実施形態では駆動 T F T 13 が n チャネルトランジスタであるため、点灯スイッチ 18、書込みスイッチ 14 及びリセットスイッチ 61 からなる各スイッチを n チャネルトランジスタで構成すれば、画素を n チャネルトランジスタのみで構成することができる。したがって、p チャネルトランジスタを使用しないことによるコスト低減が可能である。S i - T F T は n チャネルトランジスタの方が p チャネルトランジスタよりも電流駆動能力が高いため、n チャネルトランジスタ回路の方がより小面積で実現することができ、歩留りまで考慮した製造コストを低減することができるからである。

【0082】

一般に、有機 E L 素子はカソード電極が共通接地になってしまうため、従来例では p チャネルトランジスタで駆動しないとトランジスタ利得を取ることが難しい。言い換えると、n チャネルトランジスタを駆動 T F T に用いた場合には、ソース側に有機 E L 素子が負荷として入ってしまうために、有機 E L 素子を階調表示を伴う電流駆動し難い。

【0083】

しかしながら、本実施形態においては、有機EL素子10のアノード端を点灯スイッチ18を介して第1のノードn1に接続し、第1のノードn1は書込みスイッチ14を介して信号線2に接続され、更に上記第1のノードn1は駆動TF T13のチャネルを介して電源線16に接続されている。駆動TF T13は、ゲートとドレイン間にリセットスイッチ61が設けられ、ゲートとソース間に信号蓄積容量Csigが設けられる構造を採用している。このため、表示信号電流I sigの書込み時には、点灯スイッチ18によって有機EL素子10は駆動TF T13の負荷からは切り離され、点灯時にはリセットスイッチ61がオフするため駆動TF T13のソース、ゲート端子間電圧は信号蓄積容量Csigによって規定される。したがって、有機EL素子10が駆動TF T13の負荷となって利得を低下させることがない。

【0084】

このような回路構成は、特に基板がガラスのような絶縁体であるために寄生容量が少ないので、特に有効に機能させることができる。

【0085】

本実施形態においても、既に述べた他の実施形態と同様に、N画素同時選択回路MSELを用いてN行の画素に同時に信号電流を書き込むこととしたが、画素をnチャネルトランジスタのみで構成することができるという前述の利点は、N画素同時選択回路MSELを用いてN行の画素に同時に信号電流を書き込むことは前提条件ではない。従って、N画素同時に信号電流を書き込まない実施の形態にも、画素をnチャネルトランジスタのみで構成するという長所を有する本実施形態で述べた回路構成を適用することができる。

【0086】

<実施形態4>

図8を用いて、本発明における第4の実施形態に関して説明する。

図8は、第4の実施形態を示す画像表示端末（PDA：Personal Digital Assistants）100の構成図である。

【0087】

無線インターフェース（I/F）回路102には、圧縮された画像データ等が

外部から近距離無線通信規格に基づく無線データとして入力され、無線 I/F 回路 102 の出力は I/O (Input/Output) 回路 103 を介してデータバス 108 に接続される。データバス 108 には、この他にマイクロプロセサ (MPU) 104、表示パネルコントローラ 106、フレームメモリ 107 等が接続されている。更に表示パネルコントローラ 106 の出力は、OLED 表示パネル 101 に入力している。なお画像表示端末 100 には更に、電源 109 が設けられている。なお、OLED 表示パネル 101 は、先に延べた第 1 の実施形態と同一の構成および動作を有しているので、その内部の構成及び動作の記載はここでは省略する。

【0088】

以下に本実施形態の動作を説明する。始めに、無線 I/F 回路 102 は命令に応じて圧縮された画像データを外部から取り込み、この画像データを I/O 回路 103 を介してマイクロプロセサ 104 及びフレームメモリ 107 に転送する。マイクロプロセサ 104 はユーザからの命令操作を受けて、必要に応じて画像表示端末 100 全体を駆動し、圧縮された画像データのデコードや信号処理、情報表示を行う。ここで信号処理された画像データは、フレームメモリ 107 に一時的に蓄積される。

【0089】

ここで、マイクロプロセサ 104 が表示命令を出した場合には、その指示に従ってフレームメモリ 107 から表示パネルコントローラ 106 を介して OLED 表示パネル 101 に画像データが入力され、OLED 表示パネル 101 は入力された画像データをリアルタイムで表示する。このとき、表示パネルコントローラ 106 は、同時に画像を表示するために必要な所定のタイミングパルスを出力する。ここで電源 109 には、2 次電池が含まれており、これらの画像表示端末 100 全体を駆動する電力を供給する。

【0090】

本実施形態によれば、多画素で、かつ、高精細な多階調表示が可能な画像表示端末 100 を提供することができる。

【0091】

本実施形態では、画像表示デバイスとして、第1の実施形態で説明したOLED表示パネルを用いたが、これ以外に本発明の他の実施形態で説明したような種々の表示パネルを用いることが可能であることは明らかである。

【0092】

以上、本発明の好適な実施の形態例について説明したが、本発明は上記実施の形態例に限定されるものではなく、本発明の精神を逸脱しない範囲内において、種々の設計変更をなし得ることは勿論である。例えば、図10の第1の従来例に適用することも可能である。

【0093】

図10の画素201への表示信号電流 I_{sig} の書込み時には、ゲート線群203によって選択されたN個の画素201を選択し、N個の画素201に対して、電源スイッチ215をオフ状態、書込みスイッチ214及びリセットスイッチ212をオン状態に設定する。このタイミングで信号線202に表示信号電流 $I_{sig} \times N$ が書込まれると、選択された各画素201に対して、表示信号電流 I_{sig} は駆動TF T 211のチャネルを介して有機EL素子10に流れ込む。このとき駆動TF T 211のソース端子とゲート端子間には、書込まれている表示信号電流 I_{sig} の値に対応したゲート電圧差が生じる。なお、信号電流生成回路SGENから出力される信号電流 $I_{sig} \times N$ の向きは、画素に入る方向である。

【0094】

ここで、次に選択されたN個の画素201に関して書込みスイッチ214及びリセットスイッチ212がオフ状態に切り替わると、駆動TF T 211のソース端子とゲート端子間に生じていた、書込まれている表示信号電流 I_{sig} の値に対応したゲート電圧信号は、そのまま信号蓄積容量 C_{sig} に保持される。この後、ゲート線群203によって電源スイッチ215がオン状態になると、駆動TF T 211のソース端子には電源線216より電圧が供給される。このため駆動TF T 211は、信号蓄積容量 C_{sig} に保持されているゲート電圧信号に対応した表示信号電流 I_{sig} を有機EL素子10に印加する。これによって引き続く表示期間の間、有機EL素子10は所定の輝度で点灯し続ける。

【0095】

このように、ゲート線群 203 によって選択された N 個の画素 201 に関して、それぞれほぼ等しい表示信号電流 I_{sig} が書込まれること、および信号電流生成回路 $SGEN$ が信号線 202 に対して表示信号電流 $I_{sig} \times N$ を入力すること、という本発明の内容を、第 1 の従来例の画素回路に適用することができる。

【0096】

ただし、第 1 の実施形態のような点灯スイッチ 18 を持たないため、選択された N 個の画素 201 に対して表示信号電流 I_{sig} を入力する度に、各画素は表示信号電流 I_{sig} の値に応じて若干なりとも点灯してしまう。このために、全面黒表示時を除けば厳密な意味での黒表示が困難であるという難点を有するが、既存の実績のある画素回路がそのまま使用できるという利点がある。

【0097】

【発明の効果】

前述した諸実施形態から明らかなように、本発明によれば、第 1 の従来例のような信号線の寄生容量の影響による書込みの遅れを回避でき、しかも第 2 の従来例のようなサイズの大きなペアトランジスタを画素内に設ける必要がないので、多画素で、かつ、高精細な表示が可能な画像表示装置を提供することができる。

【0098】

また、 n チャンネルトランジスタで画素を構成することも可能となるため、その場合には n チャンネルトランジスタ回路の方がより小面積で実現することができ、欠陥の入る確率が減ることによって歩留まり良く製造できる。したがって、画像表示装置の製造コストの低減を図ることができる。

【図面の簡単な説明】

【図 1】

第 1 の実施形態を示す O L E D 表示パネルの全体構成図。

【図 2】

第 1 の実施形態の画素回路構成を示す図。

【図 3】

第 1 の実施形態における画素内各スイッチの駆動タイミングを示すタイミングチャート。

【図 4】

第 1 の実施形態の O L E D 表示パネルの製造工程におけるレーザ照射工程の模式図。

【図 5】

第 2 の実施形態の画素回路構成を示す図。

【図 6】

第 2 の実施形態における画素内各スイッチの駆動タイミングを示すタイミングチャート。

【図 7】

第 3 の実施形態の画素回路構成を示す図。

【図 8】

第 4 の実施形態を示す画像表示端末の構成図。

【図 9】

第 1 の従来例を示す発光表示デバイスの全体構成図。

【図 1 0】

第 1 の従来例の画素回路構成を示す図。

【図 1 1】

第 2 の従来例を示す発光表示デバイスの全体構成図。

【図 1 2】

第 2 の従来例の画素回路構成を示す図。

【符号の説明】

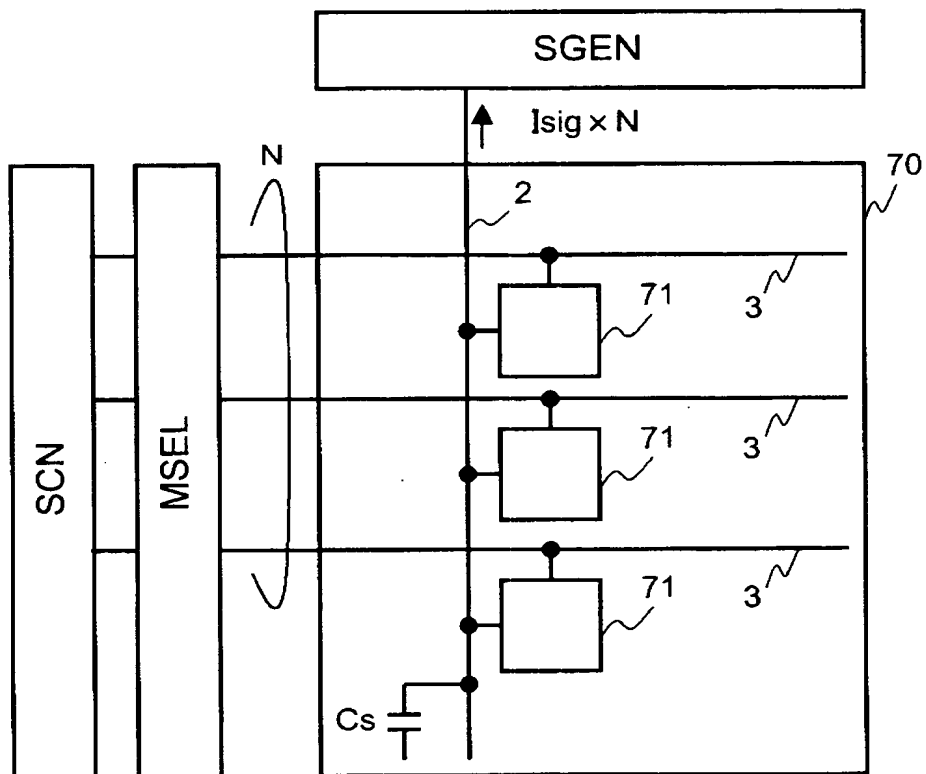
2…信号線、3…ゲート線群、3 A…ゲート線、1 0…有機 E L 素子、1 1…駆動 T F T、7 0…表示領域、7 1, 7 1 A, 7 1 B…画素、1 2, 4 2…リセットスイッチ、1 4, 4 4…書込みスイッチ、1 6…電源線、1 7…共通接地、1 8, 4 8…点灯スイッチ、1 0 0…画像表示端末、1 0 1…O L E D 表示パネル、1 0 2…無線インターフェース (I / F) 回路、1 0 3…I / O (Input / Output) 回路、1 0 4…マイクロプロセサ (M P U) 、1 0 6…表示パネルコントローラ、1 0 7…フレームメモリ、1 0 8…データバス、1 0 9…電源、2 0 0…表示領域、2 0 1, 2 0 1 A…画素、2 0 2…信号線、2 0 3…ゲート線群、

2 1 0…有機 E L 素子、2 1 1…駆動 T F T、2 1 6…電源線、2 1 2…リセットスイッチ、2 1 4…書込みスイッチ、2 1 5…電源スイッチ、2 1 6…電源線、2 1 7…共通接地、2 2 2…リセットスイッチ、2 2 8…書込み T F T、C s…寄生容量、C sig…信号蓄積容量、I sig…表示信号電流、M S E L…N 画素同時選択回路、S C N…走査回路、S G E N…信号電流生成回路。

【書類名】 図面

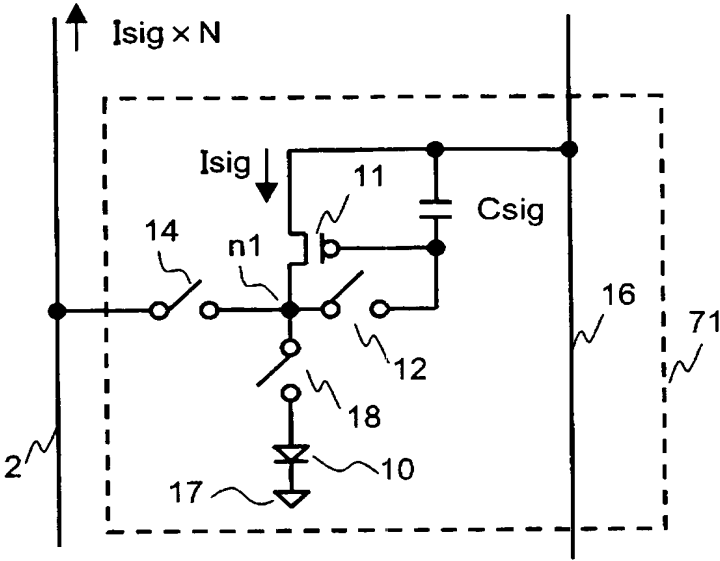
【図 1】

図 1



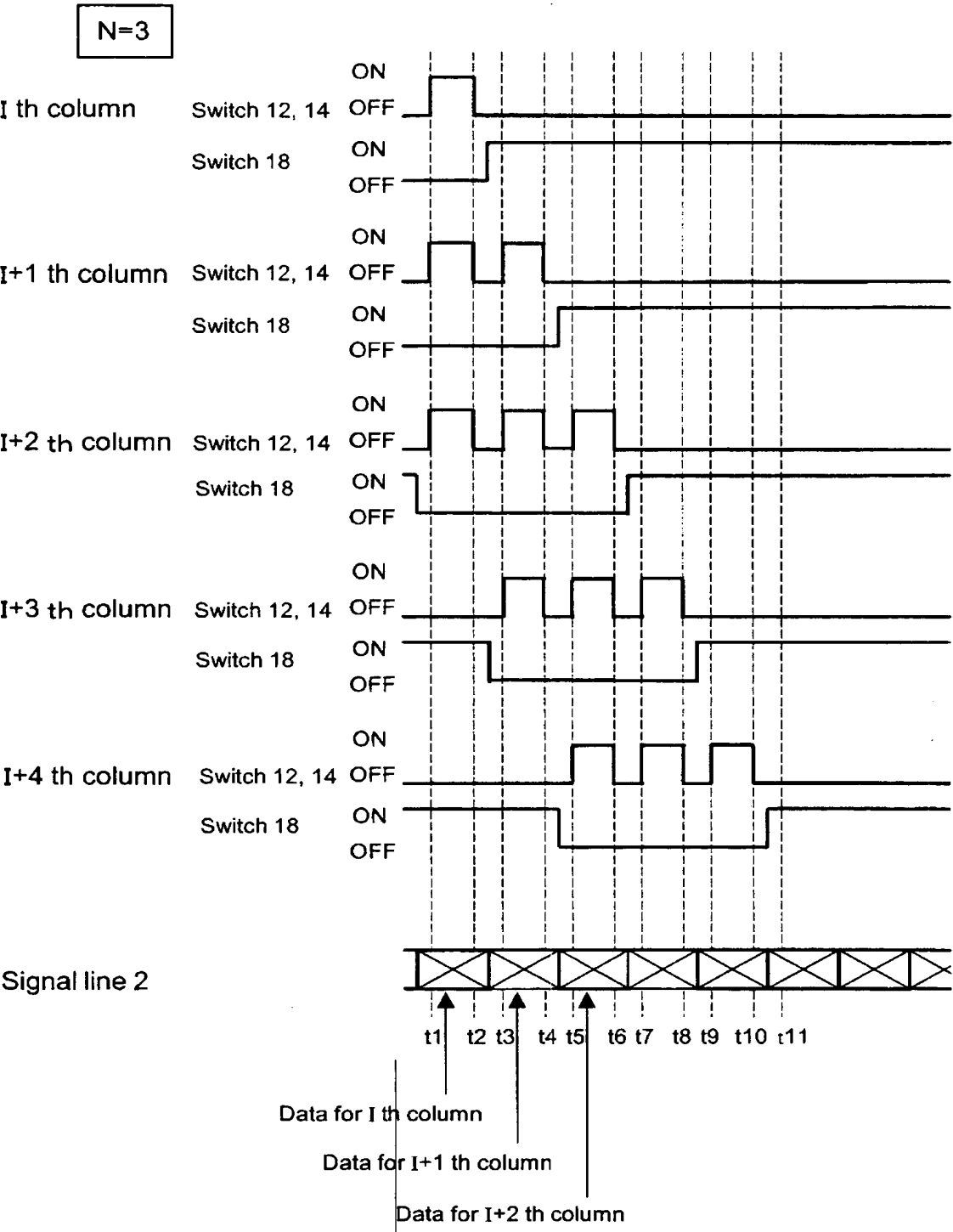
【図 2】

図 2

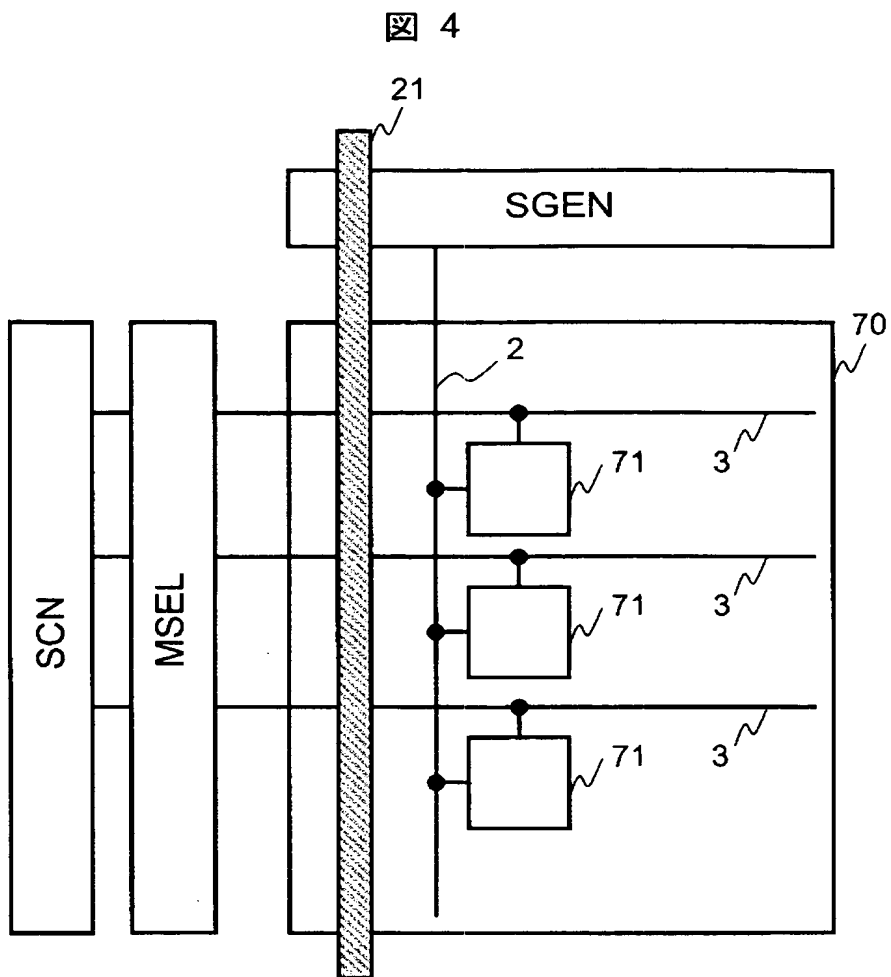


【図 3】

図 3

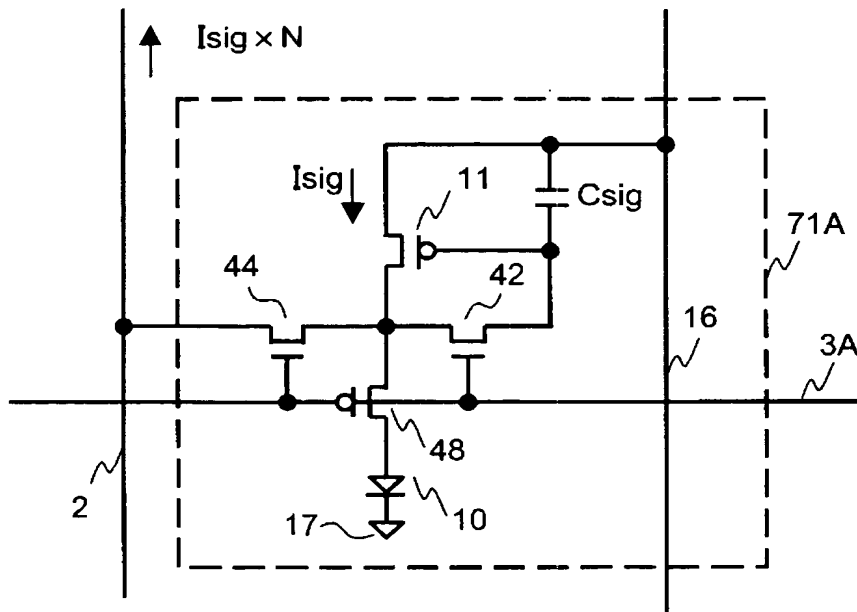


【図 4】



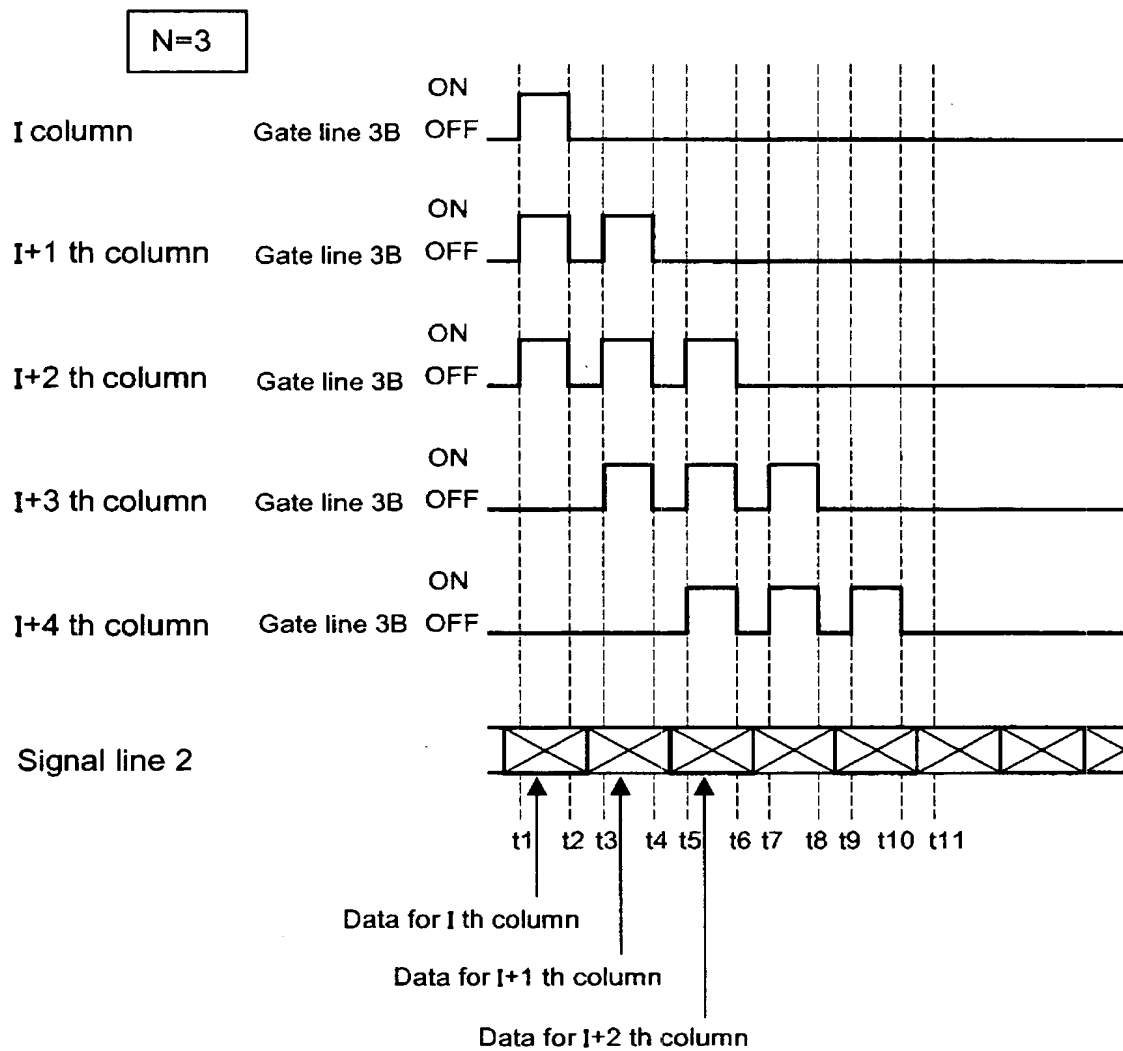
【図 5】

図 5

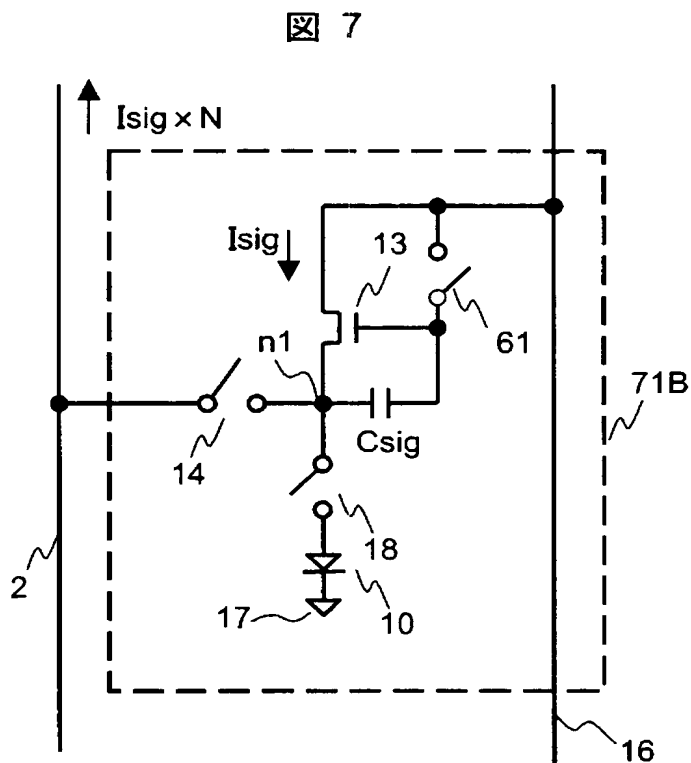


【図 6】

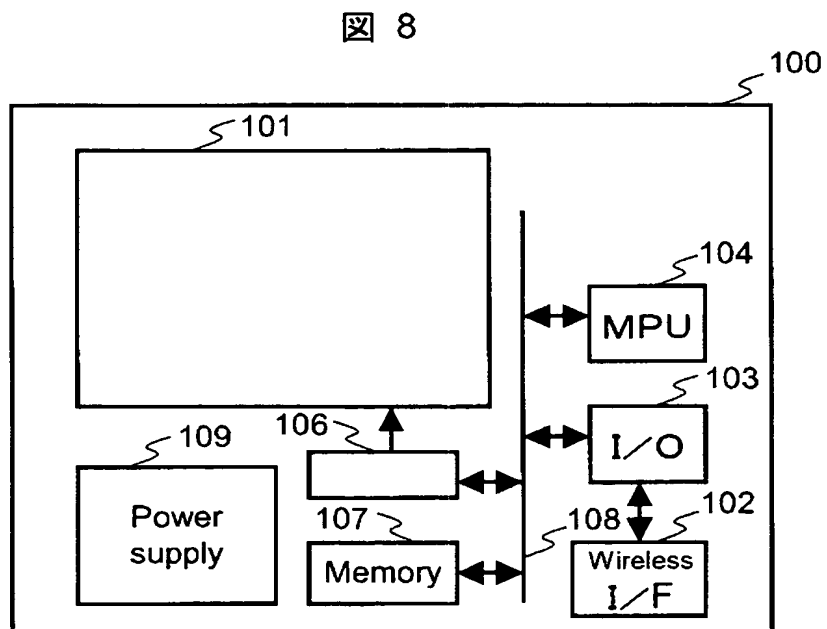
図 6



【図 7】

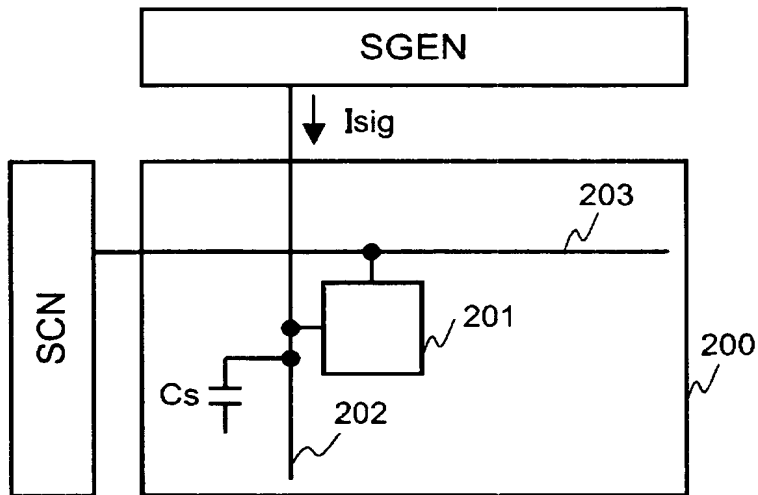


【図 8】



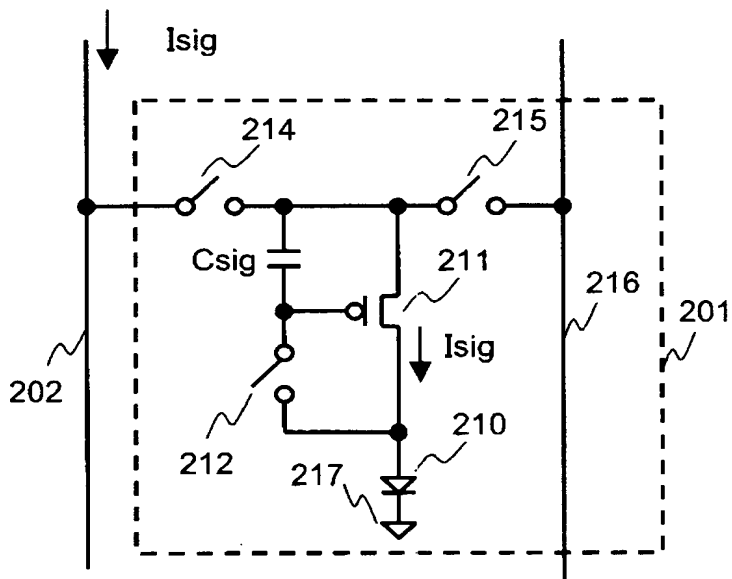
【図 9】

図 9



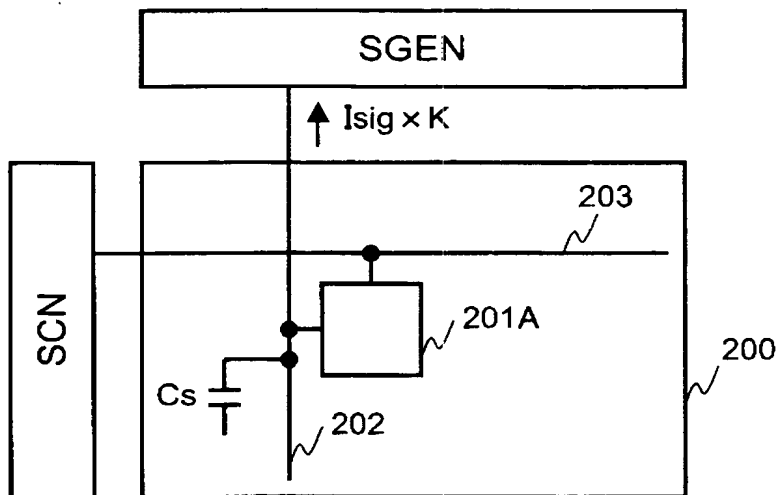
【図 10】

図 10



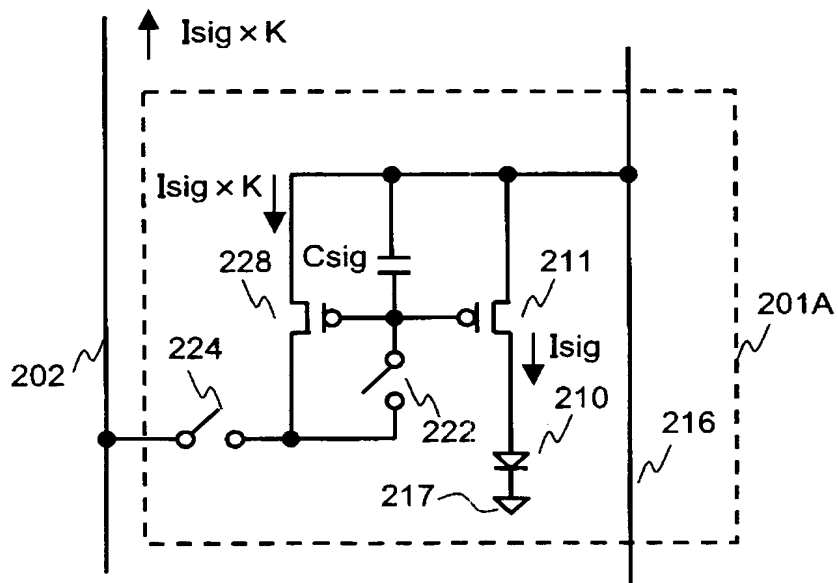
【図 11】

図 11



【図 12】

図 12



【書類名】 要約書

【要約】

【課題】 多画素かつ高精細な表示が可能である画像表示装置を提供すること。

【解決手段】 表示信号電流 I_{sig} を書込む画素の選択手段 M S E L が、複数の画素 7 1 を同時に選択する機能を有することによって解決することができる。

【選択図】 図 1

特願 2 0 0 3 - 2 0 3 5 7 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 3 1 日
新規登録

住 所
氏 名

東京都千代田区神田駿河台 4 丁目 6 番地
株式会社日立製作所

特願 2 0 0 3 - 2 0 3 5 7 9

出 願 人 履 歴 情 報

識別番号

[5 0 2 3 5 6 5 2 8]

1. 変更年月日

2 0 0 2 年 1 0 月 1 日

[変更理由]

新規登録

住 所

千葉県茂原市早野 3 3 0 0 番地

氏 名

株式会社 日立ディスプレイズ